

#2

11050 U.S. PRO  
10/047789  
01/15/02



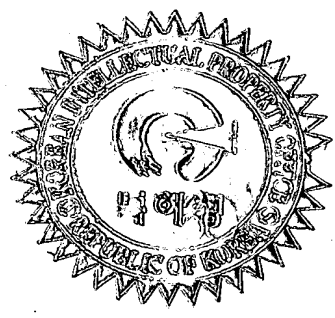
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 34736 호  
Application Number PATENT-2001-0034736

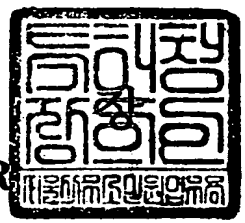
출원년월일 : 2001년 06월 19일  
Date of Application JUN 19, 2001

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 01 월 03 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.06.19
【발명의 명칭】	선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로
【발명의 영문명칭】	HIGH SPEED BUILT-IN SELF TEST CIRCUIT USING LINEAR FEEDBACK SHIFT REGISTER
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박진영
【성명의 영문표기】	PARK, JIN YOUNG
【주민등록번호】	760113-1777417
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 7-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 466,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시된 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 (BIST) 회로는, 반도체 집적회로 장치에 내장된 메모리를 자체적으로 테스트하기 위한 알고리즘이 내장되어, 상기 BIST 회로의 제반 동작을 제어하는 BIST 컨트롤러와, 상기 BIST 컨트롤러의 제어에 응답해서 단방향의 의사 랜덤 패턴의 테스트 어드레스를 발생하는 어드레스 발생기와, 상기 BIST 컨트롤러의 제어에 응답해서 상기 어드레스의 데이터 백그라운드를 고려한 테스트 데이터를 발생하는 데이터 발생기, 그리고 상기 어드레스에 대응되는 상기 메모리의 해당 위치에 상기 테스트 데이터를 기입한 후 독출한 데이터를 상기 테스트 데이터와 비교하여 상기 메모리 셀의 불량 여부를 검출하는 비교기를 포함한다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로{HIGH SPEED BUILT-IN SELF TEST CIRCUIT USING LINEAR FEEDBACK SHIFT REGISTER}

**【도면의 간단한 설명】**

도 1은 일반적인 BIST 회로의 구조를 보여주기 위한 블록도;

도 2는 March 테스트 알고리즘을 보여주기 위한 도면;

도 3은 도 1에 도시된 어드레스 발생기를 위한 동기형 카운터의 구조를 보여주기 위한 회로도;

도 4는 본 발명의 바람직한 실시예에 의한 BIST 회로의 구조를 보여주기 위한 블록도;

도 5는 도 4에 도시된 BIST 회로에 적용된 테스트 알고리즘을 보여주기 위한 도면;

도 6a 및 6b는 도 5에 도시된 테스트 알고리즘을 64개의 어드레스를 가진 메모리에 적용하였을 때 발생하는 패턴의 종류를 보여주기 위한 도면; 그리고

도 7은 도 4에 도시된 3 비트 LFSR들로부터 발생하는 어드레스 생성 순서를 보여주기 위한 도면.

**\*도면의 주요 부분에 대한 부호의 설명\***

1, 100 : BIST 회로 10, 110 : BIST 컨트롤러

20, 120 : 어드레스 발생기 30, 130 : 데이터 발생기

40, 140 : 비교기    50, 150 : 메모리

122, 124 : LFSR    126 : LFSR 제어부

132, 134 : 멀티플렉서

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14>        본 발명은 반도체 집적회로 장치의 테스트에 관한 것으로서, 더 구체적으로는 반도체 집적회로 장치에 내장된 자체 테스트 회로에 관한 것이다.

<15>        내장된 자체 테스트 (Built-in Self Test ; BIST)(이하 BIST라 칭함) 회로는, 조합 로직(combinational logic)과 순차 로직(sequential logic), 메모리들(memories), 곱셈기들(multipliers), 그리고 다른 내장 로직 블록들(embedded logic blocks)을 위한 구조적-테스트(structured-test) 회로이다. BIST 회로는, 별도의 테스터(tester) 또는 별도의 테스트 장비(test equipment) 없이 대상 회로(target circuit)를 테스트한다.

<16>        이와 같은 BIST 회로는, 1992년 Fasang 등에 의해 취득된 U.S. Pat. No. 5,138,619, 'BUILT-IN SELF TEST FOR INTEGRATED CIRCUIT MEMORY'와, 1996년 Connor 등에 의해 취득된 U.S. Pat. No. 5,553,082, 'BUILT-IN SELF TEST FOR LOGIC CIRCUIT AND MEMORY ARRAY OUTPUT' 등에 개시되어 있다. 일반적인 BIST 회로의 구조는 아래 그림 1과 같다.

<17> 도 1은 반도체 집적회로 장치에 내장된 메모리(memory ; 50)를 자체 테스트 하기 위한 일반적인 BIST 회로의 구조를 보여주기 위한 블록도이다. 도 1을 참조 하면, BIST 회로는 BIST 컨트롤러(BIST controller ; 10), 어드레스 발생기(address generator ; 20), 데이터 발생기(data generator ; 30), 그리고 비교기(comparator ; 40)로 구성된다.

<18> BIST 컨트롤러(10)는 어드레스 발생기(20), 데이터 발생기(30), 비교기(40) 및 메모리(50)에서 필요로 하는 제어 신호를 발생하여, BIST 회로를 구성하는 각 블록들의 제반 동작을 제어한다. 어드레스 발생기(20)는 메모리(50)로부터 기입/독출될 데이터의 어드레스(address)를 발생한다. 데이터 발생기(30)는 메모리(50)의 해당 어드레스로/로부터 기입/독출될 데이터와 비교될 기준 데이터(reference data)를 발생한다. 비교기(40)는 메모리(50)로/로부터 기입/독출될 데이터와 기준 데이터와 비교하여 두 데이터가 일치하는지 여부를 판별하고, 이에 따른 오류 발생 여부를 검출한다.

<19> 1995년 Byers 등에 의해 취득된 U. S. Pat. No. 5,471,482, 'VLSI EMBEDDED RAM TEST'와 같이, BIST 컨트롤러(10)는 March 테스트 알고리즘과 같은 테스트 알고리즘이 하드웨어적으로 구현되어 있어, 테스트시 이를 수행하게 된다.

<20> 도 2는 March 테스트 알고리즘의 일례(March 10N 또는 C-)를 보여주기 위한 도면이다. 도 2에서, 화살표 ↑, ↓, 그리고 ↕는 테스트 진행시 어드레스의 진행 방향을 나타낸다. 예를 들어, ↑는 어드레스를 증가시키면서 테스트하는 동작을 의미하고, ↓는 어드레스를 감소시키면서 테스트하는 동작을 의미한다. 그리고, ↕는 증가 또는 감소 중 임의의 한 방향으로 어드레스를 증가 또는 감소시키

면서 테스트하는 동작을 의미한다. 도면에 표시된 기호 중 'W'는 기입 동작을 의미하고 'R'은 독출 동작을 의미한다. 'D'는 테스트 알고리즘에서 정해진 데이터 값을 의미하며, 'D''는 'D' 값이 반전(inversion)된 값을 의미한다. 따라서, 'W<sub>D</sub>'는 테스트 알고리즘에서 정해진 데이터 값을 기입하는 동작을 의미하고, 'R<sub>D'</sub>'는 테스트 알고리즘에서 정해진 데이터의 반전된 값을 독출하는 동작을 의미한다. 괄호안의 동작은 어드레스의 변화 없이 연속적으로 수행되는 동작을 나타내기 위해 사용되고, ','는 연속 동작을 구분하기 위해 사용된다.

<21> 일반적으로 많이 사용되고 있는 March 10N 테스트 알고리즘이 구현된 BIST 회로에서, 어드레스 발생기(20)는 임의의 한 방향으로 어드레스를 증가 또는 감소시키기 위해 업-카운트(up-count) 동작과 다운-카운트(down-count) 동작을 반복적으로 수행한다. 따라서, 어드레스 발생기(20)에는 업-카운터(up-counter), 다운-카운터(down-counter), 또는 업-다운 카운터(up-down counter)가 주로 사용된다. 이에 적합한 동기형 카운터(synchronous counter)는 여러 가지 방식으로 구현될 수 있다.

<22> 도 3은 도 1에 도시된 어드레스 발생기(20)를 위한 동기형 카운터의 일례를 보여주기 위한 회로도이다. 도 3에 도시된 카운터는 캐리 전파 가산기(carry propagation adder)를 이용한 동기형 카운터로서, N-2개의 반가산기(half adder; HA)를 포함하는 N 비트 카운터이다. 이 카운터의 출력 값(Q<N:1>)은, 카운터 회로에 구비된 N개의 플립플롭(flip-flop)의 출력 값에 해당된다. 도면에서 알 수 있는



바와 같이, 각각의 반가산기(HA)는 외부로부터 입력되는 입력 데이터(<1> 내지 <N>)와, 이전 단계에 연결된 반가산기(HA)로부터 발생된 캐리 값(CO)에 의해서 합(SUM)과 캐리(CO)를 발생한다. 각 플립플롭(flip-flop)의 출력 값( $Q<1>$ ,  $Q<2>$ , ...,  $Q<N>$ )은 반가산기( $HA_1$  내지  $HA_{N-2}$ )들로부터 발생된 각각의 합(SUM)과 캐리(CO)에 의해 결정된다. 이 경우, N 비트 카운터의 출력 값( $Q<N:1>$ ) 중 최상위 비트(most significant bit ; MSB)( $Q<N>$ ) 값을 구하기 위해서는, 첫 번째 반가산기( $HA_1$ )부터 N-2번째 반가산기( $HA_{N-2}$ )에서 발생된 각각의 캐리 값(CO)들이 모두 필요하게 된다. 그 결과, 최상위 비트(MSB)의 생성 경로(path)에는 시간 임계 경로(timing critical path)가 형성된다.

<23> 일반적으로, BIST 회로는 반도체 장치 내에 내장되어 있는 대용량의 메모리를 고속으로 테스트하는데 많이 사용된다. 이를 위해, 더욱 큰 비트 수의 어드레스를 발생시킬 수 있고, 고속으로 동작할 수 있는 어드레스 발생기(20)가 요구된다. 따라서, 도 3에 도시된 카운터를 이용하여 어드레스 발생기(20)를 설계하게 되면, 상기 카운터에 존재하는 임계 경로에 의해서, 설계 사양(design specification)을 만족시키기 어려운 문제가 발생할 수 있다.

<24> 이와 같은 문제를 해결하기 위해서, 캐리 전파 가산기 대신 캐리 세이프 가산기(carry save adder) 등을 이용해서 카운터를 설계할 수 있다. 그러나, 이와 같은 카운터는 동작 속도는 빠르나, 면적 오버헤드(area overhead)가 커서 사용하기가 힘든 문제가 있다. 이 외에도, 간단한 구조를 가진 리플 카운터(ripple

counter)가 사용될 수 있으나, 이는 비동기식 카운터(asynchronous counter)로서, 동기식 회로 설계(synchronous circuit design)에는 적합하지 않은 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<25> 따라서, 본 발명의 목적은 작은 면적을 차지하면서도 고속으로 동작할 수 있는 카운터를 구비하여, 반도체 집적회로 장치에 내장된 메모리를 고속으로 테스트할 수 있는 BIST 회로를 제공하는데 있다.

**【발명의 구성 및 작용】**

<26> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트(BIST) 회로는, 반도체 집적회로 장치에 내장된 메모리를 자체적으로 테스트하기 위한 알고리즘이 내장되어, 상기 BIST 회로의 제반 동작을 제어하는 BIST 컨트롤러와, 상기 BIST 컨트롤러의 제어에 응답해서 단방향의 의사 랜덤 패턴의 테스트 어드레스를 발생하는 어드레스 발생기와, 상기 BIST 컨트롤러의 제어에 응답해서 상기 어드레스의 데이터 백그라운드를 고려한 테스트 데이터를 발생하는 데이터 발생기, 그리고 상기 어드레스에 대응되는 상기 메모리의 해당 위치에 상기 테스트 데이터를 기입한 후 독출한 데이터를 상기 테스트 데이터와 비교하여 상기 메모리 셀의 불량 여부를 검출하는 비교기를 포함한다.

<27> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 다른 특징에 의하면, 반도체 집적회로 장치에 내장된 메모리를 자체적으로 테스트하기 위한

BIST 회로는, 어드레스 데이터 백그라운드를 고려한 단방향 어드레스 메모리 테스트 알고리즘이 내장되어 상기 BIST 회로의 테스트 동작을 제어하는 BIST 컨트롤러와, 적어도 둘 이상의 선형 피드백 쉬프트 레지스터들을 구비하여 상기 BIST 컨트롤러의 제어에 응답해서 단방향의 의사 랜덤 패턴의 테스트 어드레스를 발생하는 어드레스 발생기, 상기 BIST 컨트롤러의 제어에 응답해서 상기 어드레스의 데이터 백그라운드를 고려한 테스트 데이터를 발생하는 데이터 발생기, 그리고 상기 어드레스에 대응되는 상기 메모리의 해당 위치에 상기 테스트 데이터를 기입한 후 독출한 데이터를 상기 테스트 데이터와 비교하여 상기 메모리 셀의 불량 여부를 검출하는 비교기를 포함한다.

<28> (실시에)

<29> 이하 본 발명에 따른 실시예를 첨부된 도면 도 4 내지 도 7을 참조하여 상세히 설명한다.

<30> 본 발명의 신규한 BIST 회로는, 테스트에 사용될 어드레스를 발생하기 위해 선형 피드백 쉬프트 레지스터(linear feedback shift register ; LFSR)(이하 LFSR라 칭함)를 구비한 어드레스 발생기를 포함한다. 어드레스 발생기는 직렬로 연결된 다수 개의 LFSR를 통해서 단방향의 의사 랜덤 패턴 형태의 어드레스를 발생한다. BIST 회로에는 어드레스 데이터 백그라운드(address data background ; ADB)를 고려한 단방향 어드레스 메모리 테스트 알고리즘이 내장되어 있어, 상기 어드레스간의 데이터 백그라운드를 이용하여 테스트 데이터를 발생하고, 발생된 테스트 데이터를 이용하여 내장 메모리에 대한 자체 테스트를 수행한다.

<31> 도 4는 본 발명의 바람직한 실시예에 의한 BIST 회로의 구조를 보여주는 위한 블록도이다. 도 4를 참조하면, 반도체 집적회로 장치에 내장된 메모리(150)를 자체 테스트하기 위한 BIST 회로는 BIST 컨트롤러(110), 어드레스 발생기(120), 데이터 발생기(130), 그리고 비교기(140)를 포함한다.

<32> BIST 컨트롤러(110)에는 반도체 집적 회로 장치에 구비된 메모리(150)에 대한 테스트를 자체적으로 수행하기 위한 테스트 알고리즘으로 어드레스 데이터 백그라운드(ADB)를 고려한 단방향 어드레스 메모리 테스트 알고리즘이 내장되어 있다. 어드레스 데이터 백그라운드란, 기존의 데이터 백그라운드(data background)와 유사한 개념으로서, 서로 다른 어드레스를 가지는 임의의 두 셀이 가질 수 있는 모든 데이터의 조합을 의미한다. BIST 컨트롤러(110)는, BIST 컨트롤러(110) 내부에 저장된 테스트 알고리즘에 의해서 어드레스 발생기(120), 데이터 발생기(130), 비교기(140) 및 메모리(150)에서 필요로 하는 제어 신호들(DO\_RUN, Current ADB Step, Complemented Data Background)을 발생하여, BIST 회로를 구성하는 각 블록들의 제반 동작을 제어한다.

<33> 어드레스 발생기(120)는 제 1 LFSR(122)와, 제 2 LFSR(124), 그리고 LFSR 제어부(126)로 구성된다. 제 1 및 제 2 LFSR(122, 124)(또는 다수 개의 LFSR들)는 일종의 카운터로서, 단방향의 의사 랜덤 패턴(pseudo-random pattern)을 발생한다. LFSR 제어부(126)는 제 1 및 제 2 LFSR(122, 124)의 의사 랜덤 패턴 발생 동작을 제어하여, 메모리(50)로/로부터 기입/독출될 어드레스(Address<5:0>)를 발생한다.

<34> 데이터 발생기(130)는 제 1 멀티플렉서(132)와 제 2 멀티플렉서(134)로 구성되어, 어드레스 발생기(120)로부터 발생된 어드레스(Address<5:0>)간의 데이터 백그라운드를 고려하여 테스트 데이터(Data IN)를 발생한다. 구체적으로, 제 1 멀티플렉서(132)는 어드레스 발생기(120)로부터 발생되는 6 비트의 어드레스 값(address<0> - address<5>)과 접지 전압(Vss)을 입력 데이터로서 받아들이고, BIST 컨트롤러(110)로부터 발생되는 현재 어드레스 데이터 백그라운드 단계 정보(Current ADB Step)에 응답해서, 입력된 데이터 값들(address<0> - address<5>, Vss) 중 어느 하나를 선택하여 출력한다. 제 2 멀티플렉서(134)는, BIST 컨트롤러(110)로부터 발생되는 반전 제어 신호(Complemented Data Background)에 응답해서 제 1 멀티플렉서(132)로부터 출력된 값을 그대로 출력하거나, 반전하여 출력한다.

<35> 데이터 발생기(130)로부터 발생된 테스트 데이터(Data IN)는, 어드레스 발생기(120)로부터 발생된 어드레스(Address<5:0>)에 대응되는 메모리(150)의 해당 위치에 기입되고, 기입된 데이터는 비교기(140)에 의해 독출된다.

<36> 비교기(140)는 데이터 발생기(130)로부터 발생된 테스트 데이터(Data IN)와 메모리(150)로부터 독출된 데이터(Data OUT)를 비교하여 두 데이터가 일치하는지 여부를 판별하고, 판결 결과(PASS/FAIL)를 BIST 컨트롤러(110)로 발생한다. 이와 같은 BIST 회로를 구성하는 각 블록들의 상세한 설명은 다음과 같다.

<37> 먼저, 본 발명에 의한 BIST 회로에 구비된 어드레스 발생기(120)는, 직렬로 연결된 3 비트 LFSR들(122, 124) 및 LFSR 제어부(126)에 의해 64 가지의 어드레스(즉, 6 비트의 어드레스)를 의사 랜덤 패턴 형태로 발생한다. 그러나, 이는 일

레에 불과하며, 어드레스 발생기(120)로부터 발생하는 어드레스의 가지 수(즉, 어드레스 비트 수)는 설계에 따라 얼마든지 조절 가능하다. 그리고, 본 발명에서는 64 가지의 어드레스를 발생하는 데 있어, 하나의 LFSR을 사용하지 않고 2 개의 LFSR들을 사용한다. 이는, 아래에서 상세히 설명하겠지만, 64가지의 LFSR의 동작을 미리 계산할 필요 없이 세그먼트(segment) 단위의 LFSR 카운터의 구조를 빠른 시간 안에 구현할 수 있고, 어드레스 발생기 자체의 정상 동작 파악 및 테스트가 용이한 장점을 가진다. 이들 2 개의 LFSR들은 동일한 출력 비트 수를 가지는 다수 개의 LFSR들이 직렬로 연결되어 사용될 수도 있고, 서로 다른 출력 비트 수를 가지는 다수 개의 LFSR들이 직렬로 연결되어 사용될 수도 있다.

<38> 일반적으로, LFSR는 주어진 비트로 나타낼 수 있는 모든 경우의 수를 표현할 수 있고, 주변 회로가 간단해서 적은 칩 면적을 차지하면서도 고속으로 동작할 수 있는 장점을 가지고 있다. 그러나, 1997년, Michael John Sebastian Smith에 의해 Addison Wesley Publishing Company에서 출판된 'Application-Specific Integrated Circuits'의 14.7.1 장에 개시되어 있는 바와 같이, LFSR는 순차적인 패턴을 발생하지 않고, 패턴의 생성 순서가 뒤죽박죽인 의사 랜덤 패턴을 발생한다. 따라서, BIST 회로에 주로 사용되고 있는 March 테스트 알고리즘은 LFSR에 그대로 적용할 수 없다. 왜냐하면, March 테스트 알고리즘에서는, 어드레스의 증가가 '1 → 3 → 5 → 7 → 2 → 4 → 6 → 8'의 순서로 이루어졌으면 어드레스의 감소는 반드시 역순인 '8 → 6 → 4 → 2 → 7 → 5 → 3 → 1'의 순서로 이루어져야 하지만, 의사 랜덤 패턴을 발생하는 LFSR는 위와 같은 역순의 어드레스를 생성할 수 없기 때문이다. 따라서, 본 발명에 의한 BIST 회로에서는 LFSR에서

발생되는 의사 랜덤 패턴을 그대로 사용하여 내장 메모리의 테스트를 수행할 수 있도록, 기존의 March 테스트 알고리즘 대신 1998년 Kim 등에 의해 취득된 U.S. Pat. No., 5,706,293, 'METHOD OF TESTING SINGLE-ORDER ADDRESS MEMORY'에 개시된 어드레스 데이터 백그라운드(address data background)를 이용한 단방향 어드레스 메모리(single-order address memory) 테스트 알고리즘을 사용한다.

<39> 도 5는 도 4에 도시된 BIST 회로에 적용된 테스트 알고리즘을 보여주기 위한 도면으로, 어드레스 데이터 백그라운드를 이용한 단방향 어드레스 메모리 테스트 알고리즘을 보여주고 있다. 도 5를 참조하면, 도면에 도시된 테스트 알고리즘은 도 2에 도시된 March 테스트 알고리즘과 달리, 어드레스의 진행 방향이 모두 단방향인 것을 알 수 있다. 따라서, 이 알고리즘은 적은 칩 면적을 차지하면서도 고속으로 동작할 수 있는 LFSR을 어드레스를 발생하기 위한 카운터로 적용할 수 있다.

<40> 도 6a 및 6b는 도 5에 도시된 테스트 알고리즘을 64개의 어드레스를 가진 메모리에 적용하였을 때 발생하는 패턴의 종류를 보여주기 위한 도면이다. 도면을 참조하면, 64개의 어드레스를 가지는 메모리는, 도면의 (a)에서 (g)에서 나타내고 있는 바와 같이  $(\log_2 N + 1)$ 개(즉, 7개)의 어드레스 데이터 백그라운드를 가지는 것을 알 수 있다. 도면에서 (a)는 어드레스 데이터 백그라운드 단계가 1일 때의 데이터 값(D, D')을 나타내고, (b)는 어드레스 데이터 백그라운드 단계가 2일 때의 데이터 값(D, D')을 나타낸다. 그리고, (c) 내지 (g)는 어드레스 데이터 백그라운드 단계가 3 내지 7일 때의 데이터 값(D, D')을 각각 나타낸다. 이들 데이터 값(D, D')은

각 어드레스 데이터 백그라운드 단계 별로 결정되는 테스트 데이터 값(Data IN)으로서, 'D'는 테스트 알고리즘에 의해 정해진 데이터 값을 의미하며, 'D''는 'D' 값이 반전(inversion)된 값을 의미한다.

<41> 도 7은 도 4에 도시된 3 비트 LFSR들(122, 124)로부터 발생하는 어드레스(Address<2:0>, Address<5:3>)의 생성 순서를 보여주기 위한 도면이다. 도면에서 LFSR0으로 표시된 부분은 제 1 LFSR(122)로부터 발생하는 어드레스(Address<2:0>)를, LFSR1로 표시된 부분은 제 2 LFSR(124)로부터 발생하는 어드레스(Address<5:3>)를 각각 나타낸다. 제 1 LFSR(122)는 어드레스 발생기(120)로부터 발생하는 전체 6 비트 어드레스(Address<5:0>)의 하위 3 비트(address<0>, address<1>, address<2>)를 생성하고, 제 2 LFSR(124)는 어드레스 발생기(120)로부터 발생하는 전체 어드레스(Address<5:0>)의 상위 3 비트(address<3>, address<4>, address<5>)를 각각 생성한다. 이 때, 제 1 LFSR(122)는 000, 001, 010, 101, 011, 111, 110, 100 순서로 어드레스를 반복적으로 생성하고, 제 2 LFSR(124)는 제 1 LFSR(122)가 상기 어드레스 패턴(000, 001, 010, 101, 011, 111, 110, 100)을 한 주기 생성할 때마다 000, 001, 010, 101, 011, 111, 110, 100 순서로 상위 3 비트의 어드레스를 생성한다.

<42> 다시 도 4를 참조하면, 데이터 발생기(130)는 어드레스 발생기(120)로부터 발생한 어드레스(Address<5:0>)에 응답해서 테스트될 데이터(Data IN)를 생성한다. 구체적으로, 데이터 발생기(130)에 구비된 제 1 멀티플렉서(132)의 제 1 입력 단자(1)에는 접지 전압(Vss)이 입력되고, 제 2 입력 단자(2)는 어드레스



발생기(120)로부터 발생하는 6 비트의 어드레스 값들(address<0> - address<5>) 중 최상위 비트(address<5>)가 입력된다. 여기서, 상기 제 1 입력 단자(1)로 입력되는 접지 전압(Vss) 값은 도 6a의 (a)에 표시된 데이터(D, D')에 해당되고, 상기 제 2 입력 단자(2)로 입력되는 최상위 비트(address<5>)는 도 6a의 (b)에 표시된 데이터(D, D')에 각각 해당된다. 마찬가지로, 제 1 멀티플렉서(132)의 제 3 내지 제 7 입력 단자(3-7)에는 발생기(120)로부터 발생하는 어드레스 값들(address<4> - address<0>)이 각각 입력되는데, 이들 값들은 도 6a 및 도 6b의 (a) 내지 (g)에 표시된 데이터(D, D')에 각각 해당된다. 제 1 멀티플렉서(132)가 BIST 컨트롤러(110)로부터 발생하는 현재 어드레스 데이터 백그라운드 단계 정보(Current ADB Step)에 응답해서 이들 입력 값들(address<0> - address<5>, Vss) 중 어느 하나를 선택하여 출력하면, 제 2 멀티플렉서(134)는 BIST 컨트롤러(110)로부터 발생하는 반전 제어 신호(Complemented Data Background)에 응답해서 제 1 멀티플렉서(132)로부터 출력된 값을 그대로, 또는 반전하여 테스트 데이터(Data IN)로서 출력한다.

<43> 앞에서 설명한 바와 같이, 데이터 발생기(130)는 다수 개의 LFSR가 생성하는 어드레스의 각 비트에 응답해서 테스트 데이터(Data IN)를 생성한다. 예를 들어, 어드레스 발생기(120)로부터 64개의 어드레스(즉, 6 비트 어드레스)가 발생하는 경우, 데이터 발생기(130)는 7개의 어드레스(Address<0> - Address<5>, Vss)를 고려한 데이터 백그라운드를 필요로 한다(도 4의 제 1 멀티플렉서(132) 참조). 이를 위해서 데이터 발생기(130)는 도 5에 도시된 테스트 알고리즘에 의한 각 어드레스 데이터 백그라운드 단계별로 6개의 어드레스 비트 중 하나를 선

택하거나, 또는 첫 번째 어드레스 데이터 백그라운드 단계에서 모두 0 또는 모두 1의 값(all zero 또는 all one)을 선택하여 데이터 백그라운드로서 사용한다.

<44> 예를 들어, 현재 어드레스 데이터 백그라운드 단계가 2이고, 테스트 하고자 하는 어드레스가 '010 110'일 경우, 데이터 발생기(130)는 테스트될 데이터 'D'로 '0'을, 상기 데이터 'D'의 반전된 값 'D''으로 '1'을 출력한다(도 6a의 (b)에서 어드레스가 22일 때의 D 값과 D' 값 참조). 앞에서 설명한 바와 같이, 데이터 발생기(130)는, 현재의 어드레스 데이터 백그라운드 단계와 어드레스 발생기(120)로부터 발생된 어드레스에 응답해서 테스트될 데이터(Data IN)를 발생한다.

<45> 앞에서 설명한 바와 같이, 본 발명에 의한 BIST 회로는 테스트에 사용될 어드레스를 발생하기 위해 선형 피드백 쉬프트 레지스터(LFSR)를 구비한 어드레스 발생기를 포함한다. 어드레스 발생기는 직렬로 연결된 다수 개의 LFSR를 통해서 단방향의 의사 랜덤 패턴 형태의 어드레스를 발생한다. BIST 회로에는 어드레스 데이터 백그라운드(address data background ; ADB)를 고려한 단방향 어드레스 메모리 테스트 알고리즘이 내장되어 있어, 상기 어드레스간의 데이터 백그라운드를 이용하여 테스트 데이터를 발생하고, 발생된 테스트 데이터를 이용하여 내장 메모리에 대한 자체 테스트를 수행한다. 이와 같이, 본 발명에 의한 BIST 회로는 어드레스를 발생하기 위한 카운터로 LFSR를 사용하므로, 적은 칩 면적으로 고속 테스트 동작을 수행할 수 있다.

<46> 그리고, 본 발명에 사용되는 LFSR은 다수 개의 LFSR이 직렬로 연결되어 어드레스를 발생한다. 이와 같은 LFSR의 구조는, 반도체 장치 내에 내장되어 있는 대용

량의 메모리의 테스트를 위해 더욱 큰 비트 수의 어드레스를 필요로 하는 경우, 모든 동작(예를들면, 128, 256 가지의 어드레스)을 미리 계산할 필요 없이, 작은 비트 수(예를 들면, 32 비트 등)를 가지는 LFSR들을 다수 개 연결하여 사용할 수 있으므로, 세그먼트(segment) 단위의 LFSR 카운터의 구조를 빠른 시간 안에 구현할 수 있고, 어드레스 발생기 자체의 정상 동작 파악 및 테스트가 용이한 장점을 가진다. 특히, 본 발명에 의한 어드레스 발생기에는 LFSR의 조합이 다양하게 사용될 수 있으므로, LFSR의 개수를 칩 속도에 따라 다양하게 조절할 수 있다.

<47>        이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<48>        이상과 같은 본 발명에 의하면, BIST 회로의 크기가 작아지고, 반도체 집적 회로 장치에 내장된 메모리의 테스트 속도가 향상된다. 그리고, BIST 회로에 구비된 어드레스 발생기 자체의 정상 동작 파악 및 테스트가 용이해 진다.

**【특허청구범위】****【청구항 1】**

반도체 집적회로 장치에 내장된 메모리를 자체적으로 테스트하기 위한 BIST 회로에 있어서:

상기 메모리를 테스트하기 위한 테스트 알고리즘이 내장되어, 상기 BIST 회로의 제반 동작을 제어하는 BIST 컨트롤러와;

상기 BIST 컨트롤러의 제어에 응답해서 단방향의 의사 랜덤 패턴의 테스트 어드레스를 발생하는 어드레스 발생기;

상기 BIST 컨트롤러의 제어에 응답해서 상기 어드레스의 데이터 백그라운드를 고려한 테스트 데이터를 발생하는 데이터 발생기; 그리고

상기 어드레스에 대응되는 상기 메모리의 해당 위치에 상기 테스트 데이터를 기입한 후 독출한 데이터를 상기 테스트 데이터와 비교하여 상기 메모리 셀의 불량 여부를 검출하는 비교기를 포함하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 2】**

제 1 항에 있어서,

상기 테스트 알고리즘은, 어드레스 데이터 백그라운드를 고려한 단방향 어드레스 메모리 테스트 알고리즘인 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 3】**

제 1 항에 있어서,

상기 어드레스 발생기는,

단방향의 의사 랜덤 패턴 형태의 어드레스를 발생하기 위해 직렬로 연결된 다수 개의 선형 피드백 쉬프트 레지스터; 그리고

상기 선형 피드백 쉬프트 레지스터들의 의사 랜덤 패턴 발생 동작을 제어하기 위한 레지스터 제어부를 포함하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 4】**

제 3 항에 있어서,

상기 선형 피드백 쉬프트 레지스터들은, 상기 의사 랜덤 패턴을 발생하기 위한 카운터인 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 5】**

제 1 항에 있어서,

상기 데이터 발생기는,

상기 어드레스 발생기로부터 발생된 상기 어드레스를 구성하는 각각의 비트와 접지 전압을 입력 데이터로 받아들이고, 상기 BIST 컨트롤러로부터 발생하는 현재 어드레스 데이터 백그라운드 정보에 응답해서 상기 입력된 데이터 중 어느 하나를 선택하여 출력하기 위한 제 1 멀티플렉서; 그리고

상기 제 1 멀티플렉서의 출력 데이터를 받아들이고, 상기 BIST 컨트롤러로부터 발생하는 데이터 반전 제어신호에 응답해서, 상기 데이터를 그대로, 또는 반전하여 출력하기 위한 제 2 멀티플렉서를 포함하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 6】**

반도체 집적회로 장치에 내장된 메모리를 자체적으로 테스트하기 위한 BIST 회로에 있어서:

어드레스 데이터 백그라운드를 고려한 단방향 어드레스 메모리 테스트 알고리즘이 내장되어, 상기 BIST 회로의 테스트 동작을 제어하는 BIST 컨트롤러와;

적어도 둘 이상의 선형 피드백 쉬프트 레지스터들을 구비하여, 상기 BIST 컨트롤러의 제어에 응답해서 단방향의 의사 랜덤 패턴의 테스트 어드레스를 발생하는 어드레스 발생기;

상기 BIST 컨트롤러의 제어에 응답해서 상기 어드레스의 데이터 백그라운드를 고려한 테스트 데이터를 발생하는 데이터 발생기; 그리고

상기 어드레스에 대응되는 상기 메모리의 해당 위치에 상기 테스트 데이터를 기입한 후 독출한 데이터를 상기 테스트 데이터와 비교하여 상기 메모리 셀의 불량 여부를 검출하는 비교기를 포함하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 7】**

제 6 항에 있어서,

상기 어드레스 발생기는,

단방향의 의사 랜덤 패턴 형태의 제 1 어드레스를 발생하기 위한 제 1 선형 피드백 쉬프트 레지스터와;

상기 제 1 선형 피드백 쉬프트 레지스터에 직렬로 연결되어, 단방향의 의사 랜덤 패턴 형태의 제 2 어드레스를 발생하기 위한 제 2 선형 피드백 쉬프트 레지스터; 그리고

상기 제 1 어드레스가 상기 테스트 어드레스의 하위 비트를 구성하고, 상기 제 2 어드레스가 상기 테스트 어드레스의 상위 비트를 구성하도록 상기 제 1 및 제 2 선형 피드백 쉬프트 레지스터들의 의사 랜덤 패턴 발생 동작을 제어하기 위한 레지스터 제어부를 포함하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

#### 【청구항 8】

제 7 항에 있어서,

상기 제 2 선형 피드백 쉬프트 레지스터는, 상기 제 1 선형 피드백 쉬프트 레지스터로부터 상기 제 1 어드레스로 발생될 수 있는 모든 경우의 어드레스가 발생될 때마다 한번씩 어드레스를 발생하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

#### 【청구항 9】

제 7 항에 있어서,

상기 제 1 및 제 2 선형 피드백 쉬프트 레지스터들은, 상기 의사 랜덤 패턴을 발생하기 위한 카운터인 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.

**【청구항 10】**

제 6 항에 있어서,

상기 데이터 발생기는,

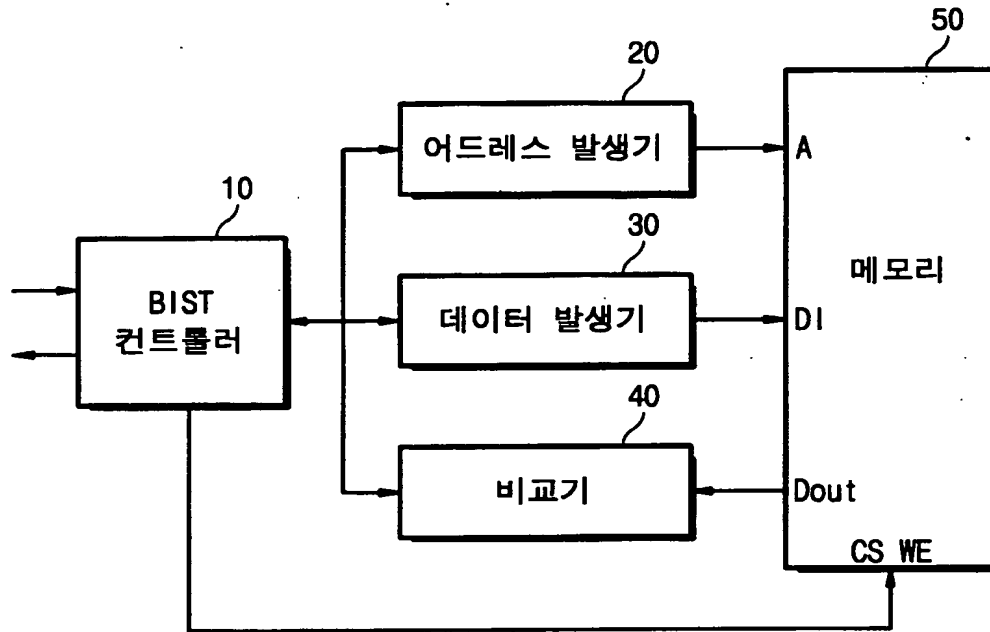
상기 어드레스 발생기로부터 발생된 상기 테스트 어드레스를 구성하는 각각의 비트와 접지 전압을 입력 데이터로 받아들이고, 상기 BIST 컨트롤러로부터 발생하는 현재 어드레스 데이터 백그라운드 정보에 응답해서 상기 입력된 데이터 중 어느 하나를 선택하여 출력하기 위한 제 1 멀티플렉서; 그리고

상기 제 1 멀티플렉서의 출력 데이터를 받아들이고, 상기 BIST 컨트롤러로부터 발생하는 데이터 반전 제어신호에 응답해서, 상기 데이터를 그대로, 또는 반전하여 출력하기 위한 제 2 멀티플렉서를 포함하는 것을 특징으로 하는 선형 피드백 쉬프트 레지스터를 이용한 고속 자체 테스트 회로.



【도면】

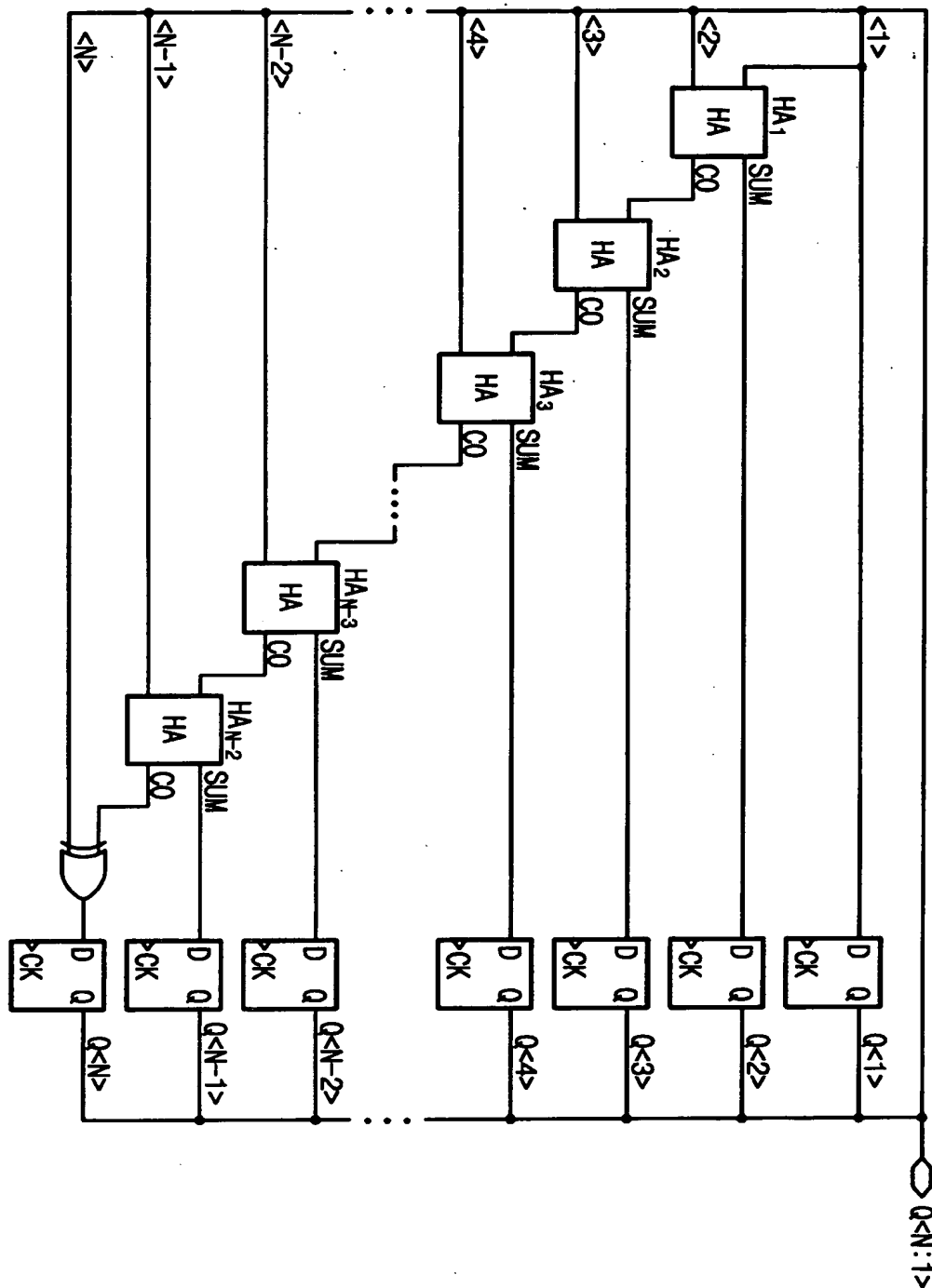
【도 1】



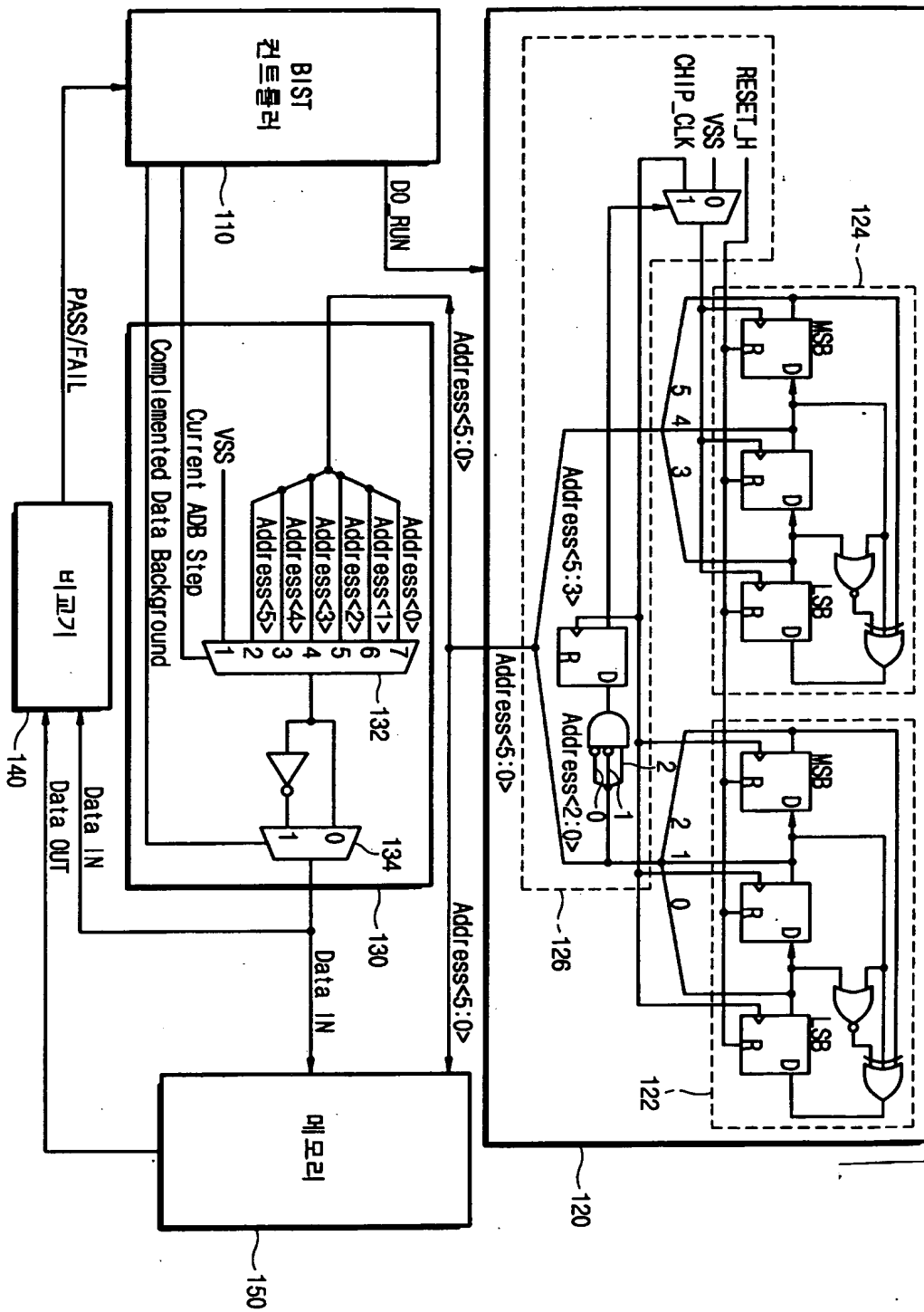
【도 2】

$\updownarrow(W_D)$   
 $\uparrow(R_D, W_{D'})$   
 $\uparrow(R_{D'}, W_D)$   
 $\downarrow(R_D, W_{D'})$   
 $\downarrow(R_{D'}, W_D)$   
 $\updownarrow(R_D)$

【도 3】



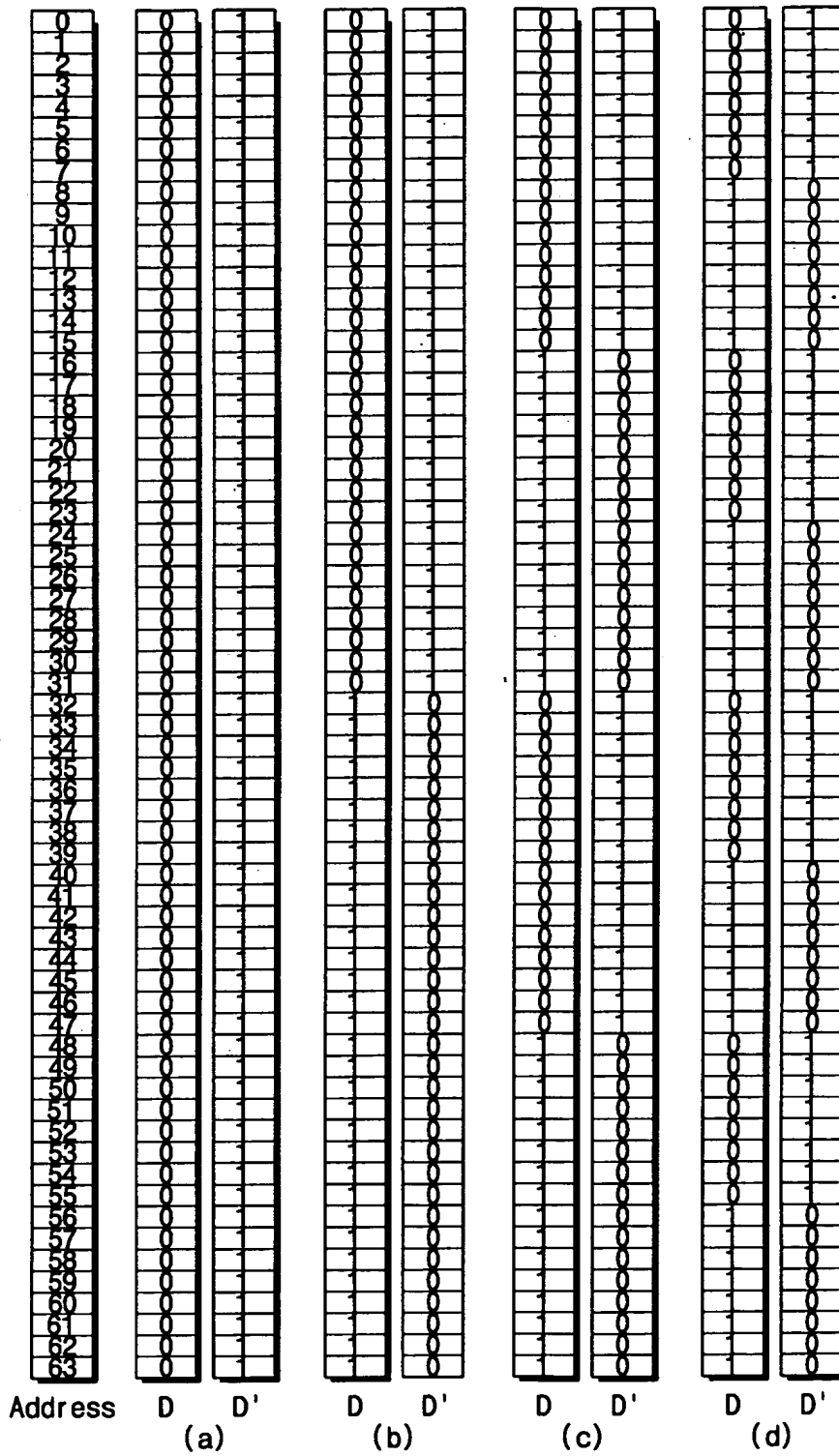
【도 4】



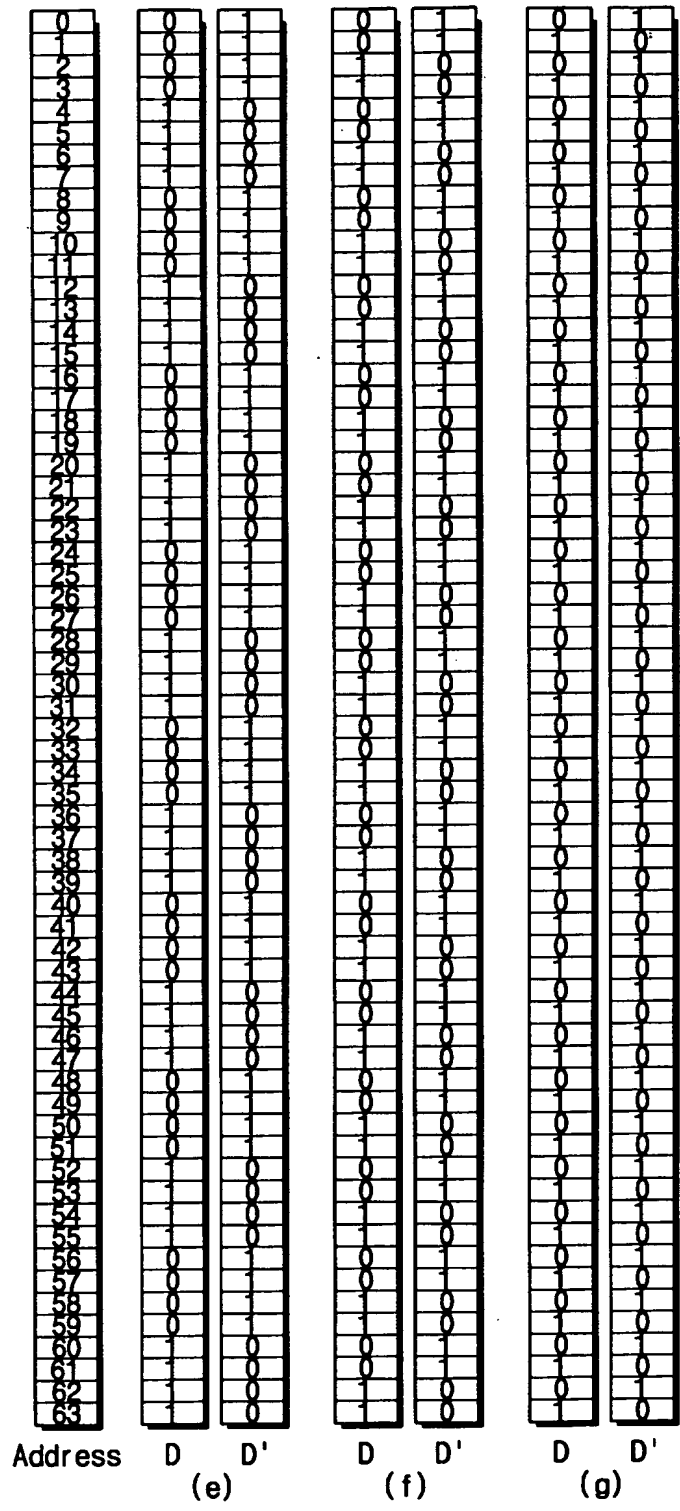
【도 5】

$\uparrow(W_D) \quad \uparrow(R_D, W_D) \quad \uparrow(R_D, W_D) \quad \uparrow(R_D)$

【도 6a】



【도 6b】



【도 7】

LFSR1	LFSR0	Address
000	000	0
000	001	1
000	010	2
000	101	3
000	011	4
000	110	5
000	100	6
000	000	7
001	001	8
001	010	9
001	101	10
001	011	11
001	110	12
001	100	13
010	000	14
010	001	15
010	010	16
010	101	17
010	011	18
010	110	19
010	100	20
011	000	21
011	001	22
011	010	23
011	101	24
011	011	25
011	110	26
011	100	27
100	000	28
100	001	29
100	010	30
100	101	31
100	011	32
100	110	33
100	100	34
100	000	35
100	001	36
100	010	37
100	101	38
100	011	39
100	110	40
100	100	41
100	000	42
100	001	43
100	010	44
100	101	45
100	011	46
100	110	47
100	100	48
100	000	49
100	001	50
100	010	51
100	101	52
100	011	53
100	110	54
100	100	55
100	000	56
100	001	57
100	010	58
100	101	59
100	011	60
100	110	61
100	100	62
100	000	63
100	001	64
100	010	65
100	101	66
100	011	67
100	110	68
100	100	69
100	000	70
100	001	71
100	010	72
100	101	73
100	011	74
100	110	75
100	100	76
100	000	77
100	001	78
100	010	79
100	101	80
100	011	81
100	110	82
100	100	83
100	000	84
100	001	85
100	010	86
100	101	87
100	011	88
100	110	89
100	100	90
100	000	91
100	001	92
100	010	93
100	101	94
100	011	95
100	110	96
100	100	97
100	000	98
100	001	99
100	010	100
100	101	101
100	011	102
100	110	103
100	100	104
100	000	105
100	001	106
100	010	107
100	101	108
100	011	109
100	110	110
100	100	111
100	000	112
100	001	113
100	010	114
100	101	115
100	011	116
100	110	117
100	100	118
100	000	119
100	001	120
100	010	121
100	101	122
100	011	123
100	110	124
100	100	125
100	000	126
100	001	127
100	010	128
100	101	129
100	011	130
100	110	131
100	100	132
100	000	133
100	001	134
100	010	135
100	101	136
100	011	137
100	110	138
100	100	139
100	000	140
100	001	141
100	010	142
100	101	143
100	011	144
100	110	145
100	100	146
100	000	147
100	001	148
100	010	149
100	101	150
100	011	151
100	110	152
100	100	153
100	000	154
100	001	155
100	010	156
100	101	157
100	011	158
100	110	159
100	100	160
100	000	161
100	001	162
100	010	163
100	101	164
100	011	165
100	110	166
100	100	167
100	000	168
100	001	169
100	010	170
100	101	171
100	011	172
100	110	173
100	100	174
100	000	175
100	001	176
100	010	177
100	101	178
100	011	179
100	110	180
100	100	181
100	000	182
100	001	183
100	010	184
100	101	185
100	011	186
100	110	187
100	100	188
100	000	189
100	001	190
100	010	191
100	101	192
100	011	193
100	110	194
100	100	195
100	000	196
100	001	197
100	010	198
100	101	199
100	011	200
100	110	201
100	100	202
100	000	203
100	001	204
100	010	205
100	101	206
100	011	207
100	110	208
100	100	209
100	000	210
100	001	211
100	010	212
100	101	213
100	011	214
100	110	215
100	100	216
100	000	217
100	001	218
100	010	219
100	101	220
100	011	221
100	110	222
100	100	223
100	000	224
100	001	225
100	010	226
100	101	227
100	011	228
100	110	229
100	100	230
100	000	231
100	001	232
100	010	233
100	101	234
100	011	235
100	110	236
100	100	237
100	000	238
100	001	239
100	010	240
100	101	241
100	011	242
100	110	243
100	100	244
100	000	245
100	001	246
100	010	247
100	101	248
100	011	249
100	110	250
100	100	251
100	000	252
100	001	253
100	010	254
100	101	255
100	011	256
100	110	257
100	100	258
100	000	259
100	001	260
100	010	261
100	101	262
100	011	263
100	110	264
100	100	265
100	000	266
100	001	267
100	010	268
100	101	269
100	011	270
100	110	271
100	100	272
100	000	273
100	001	274
100	010	275
100	101	276
100	011	277
100	110	278
100	100	279
100	000	280
100	001	281
100	010	282
100	101	283
100	011	284
100	110	285
100	100	286
100	000	287
100	001	288
100	010	289
100	101	290
100	011	291
100	110	292
100	100	293
100	000	294
100	001	295
100	010	296
100	101	297
100	011	298
100	110	299
100	100	300
100	000	301
100	001	302
100	010	303
100	101	304
100	011	305
100	110	306
100	100	307
100	000	308
100	001	309
100	010	310
100	101	311
100	011	312
100	110	313
100	100	314
100	000	315
100	001	316
100	010	317
100	101	318
100	011	319
100	110	320
100	100	321
100	000	322
100	001	323
100	010	324
100	101	325
100	011	326
100	110	327
100	100	328
100	000	329
100	001	330
100	010	331
100	101	332
100	011	333
100	110	334
100	100	335
100	000	336
100	001	337
100	010	338
100	101	339
100	011	340
100	110	341
100	100	342
100	000	343
100	001	344
100	010	345
100	101	346
100	011	347
100	110	348
100	100	349
100	000	350
100	001	351
100	010	352
100	101	353
100	011	354
100	110	355
100	100	356
100	000	357
100	001	358
100	010	359
100	101	360
100	011	361
100	110	362
100	100	363
100	000	364
100	001	365
100	010	366
100	101	367
100	011	368
100	110	369
100	100	370
100	000	371
100	001	372
100	010	373
100	101	374
100	011	375
100	110	376
100	100	377
100	000	378
100	001	379
100	010	380
100	101	381
100	011	382
100	110	383
100	100	384
100	000	385
100	001	386
100	010	387
100	101	388
100	011	389
100	110	390
100	100	391
100	000	392
100	001	393
100	010	394
100	101	395
100	011	396
100	110	397
100	100	398
100	000	399
100	001	400
100	010	401
100	101	402
100	011	403
100	110	404
100	100	405
100	000	406
100	001	407
100	010	408
100	101	409
100	011	410
100	110	411
100	100	412
100	000	413
100	001	414
100	010	415
100	101	416
100	011	417
100	110	418
100	100	419
100	000	420
100	001	421
100	010	422
100	101	423
100	011	